

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Norio Murakami : Attn: Mail Stop Issue Fee

Application No.: 10/760,450 : Group Art Unit: 2818

Filed: January 21, 2004 : Examiner: Ngan V. Ngo

For: A STRUCTURE OF A LATERAL DIFFUSION MOS TRANSISTOR IN WIDESPREAD USE
AS A POWER CONTROL DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
Customer Service Window, Mail Stop Issue Fee
Randolph Building
401 Dulany Street
Alexandria VA 22314

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

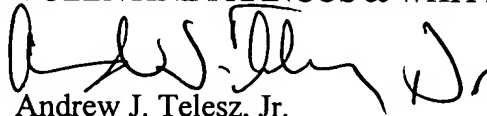
Appln. No. 2003-370284 filed October 30, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, PLLC



Andrew J. Telesz, Jr.

Registration No. 33,581

Date: June 3, 2005

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston VA 20190
Tel. (571) 283-0720
Fax (571) 283-0740

Best Available Copy

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月30日
Date of Application:

出願番号 特願2003-370284
Application Number:
[ST. 10/C]: [JP 2003-370284]

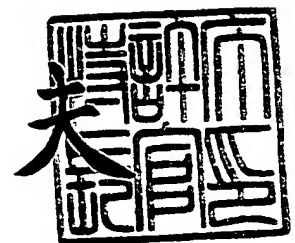
出願人 沖電気工業株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年12月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 KT000525
【提出日】 平成15年10月30日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 29/00
【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 【氏名】 村上 則夫
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100095957
 【弁理士】
 【氏名又は名称】 亀谷 美明
 【電話番号】 03-5919-3808
【選任した代理人】
 【識別番号】 100096389
 【弁理士】
 【氏名又は名称】 金本 哲男
 【電話番号】 03-3226-6631
【選任した代理人】
 【識別番号】 100101557
 【弁理士】
 【氏名又は名称】 萩原 康司
 【電話番号】 03-3226-6631
【手数料の表示】
 【予納台帳番号】 040224
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9707549
 【包括委任状番号】 9707550
 【包括委任状番号】 9707551

【書類名】特許請求の範囲**【請求項 1】**

第 1 導電型基板に形成された第 2 導電型層と、
前記第 2 導電型層内に形成された第 1 導電型層と、
前記第 1 導電型層内の第 2 導電型を有する第 1 の高濃度領域で包囲されたトレンチ孔に形成されたソース電極と、
前記第 2 導電型層内の第 2 導電型を有する第 2 の高濃度領域で包囲されたトレンチ孔に形成されたドレイン電極と、
前記ソース電極と前記ドレイン電極との間で前記第 1 導電型層の端部に位置し、前記第 1 の高濃度領域に側壁が接触する少なくとも 1 つのトレンチ孔に、前記トレンチ孔の内面を覆う酸化膜を介して形成されたゲート電極と、
を備えることを特徴とする半導体装置。

【請求項 2】

第 1 導電型基板を支持基板とする S O I 基板の絶縁酸化膜上に形成された第 2 導電型層と、
前記 S O I 基板の前記絶縁酸化膜上に、前記第 2 導電型層に隣接して形成された第 1 導電型層と、
前記第 1 導電型層内の第 2 導電型を有する第 1 の高濃度領域で包囲されたトレンチ孔に形成されたソース電極と、
前記第 2 導電型層内の第 2 導電型を有する第 2 の高濃度領域で包囲されたトレンチ孔に形成されたドレイン電極と、
前記ソース電極と前記ドレイン電極との間で前記第 1 導電型層の端部に位置し、前記第 1 の高濃度領域に側壁が接触する少なくとも 1 つのトレンチ孔に、前記トレンチ孔の内面を覆う酸化膜を介して形成されたゲート電極と、
を備えることを特徴とする半導体装置。

【請求項 3】

前記ゲート電極のトレンチ孔は、チャネル幅方向に並んで複数配置されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記ゲート電極のトレンチ孔は、略円柱形状であることを特徴とする請求項 1, 2 または 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 導電型層の濃度は、前記第 2 導電型層の濃度よりも高いことを特徴とする請求項 1, 2, 3 または 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 1 導電型層内に、前記第 1 導電型層の電位を取り出すための第 1 導電型高濃度領域が形成されていることを特徴とする請求項 1, 2, 3, 4 または 5 のいずれかに記載の半導体装置。

【請求項 7】

前記ゲート電極のトレンチ孔の深さは、前記ソース電極のトレンチ孔を包囲する前記第 1 の高濃度領域の深さと等しいことを特徴とする請求項 1, 2, 3, 4, 5 または 6 のいずれかに記載の半導体装置。

【請求項 8】

第 1 導電型基板に第 2 導電型層を形成する工程と、
前記第 2 導電型層内に第 1 導電型層を形成する工程と、
前記第 1 導電型層内に一方が前記第 2 導電型層に隣接する前記第 1 導電型層の端部に位置する 2 つのトレンチ孔、及び前記第 2 導電型層内に 1 つのトレンチ孔を形成する工程と、
前記第 1 導電型層内に形成された 2 つのトレンチ孔のうち、前記第 2 導電型層寄りに形成されたトレンチ孔の内面に酸化膜を形成する工程と、

前記酸化膜が形成されたトレンチ孔、前記第1導電型層内の他のトレンチ孔、及び前記第2導電型層内のトレンチ孔に、各々ゲート電極、ソース電極、及びドレイン電極となる電極金属を形成する工程と、

前記ソース電極の周囲に第2導電型を有する第1の高濃度領域を前記ゲート電極のトレンチ孔の側壁に接触するように形成し、前記ドレイン電極の周囲に第2導電型を有する第2の高濃度領域を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項9】

第1導電型基板を支持基板とするSOI基板の絶縁酸化膜上に、第2導電型層を形成する工程と、

前記SOI基板の前記絶縁酸化膜上に、前記第2導電型層に隣接して第1導電型層を形成する工程と、

前記第1導電型層内に一方が前記第2導電型層に隣接する前記第1導電型層の端部に位置する2つのトレンチ孔、及び前記第2導電型層内に1つのトレンチ孔を形成する工程と、

前記第1導電型層内に形成された2つのトレンチ孔のうち、前記第2導電型層寄りに形成されたトレンチ孔の内面に酸化膜を形成する工程と、

前記酸化膜が形成されたトレンチ孔、前記第1導電型層内の他のトレンチ孔、及び前記第2導電型層内のトレンチ孔に、各々ゲート電極、ソース電極、及びドレイン電極となる電極金属を形成する工程と、

前記ソース電極の周囲に第2導電型を有する第1の高濃度領域を前記ゲート電極のトレンチ孔の側壁に接触するように形成し、前記ドレイン電極の周囲に第2導電型を有する第2の高濃度領域を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項10】

前記ゲート電極のトレンチ孔は、電極幅方向に並んで複数形成されることを特徴とする請求項8または9に記載の半導体装置の製造方法。

【請求項11】

前記ゲート電極のトレンチ孔は、略円柱形状に形成することを特徴とする請求項8、9または10のいずれかに記載の半導体装置の製造方法。

【請求項12】

前記第1導電型層の濃度を前記第2導電型層の濃度よりも高く形成することを特徴とする請求項9、10または11のいずれかに記載の半導体装置の製造方法。

【請求項13】

前記ゲート電極のトレンチ孔の深さは、前記ソース電極のトレンチ孔を包囲する前記第1の高濃度領域の深さと等しく形成することを特徴とする請求項8、9、10、11または12のいずれかに記載の半導体装置の製造方法。

【請求項14】

前記ゲート電極のトレンチ孔の側壁と前記ドレイン電極のトレンチ孔を包囲する前記第2の高濃度領域との距離は、所望のドレイン耐圧となるように形成することを特徴とする請求項8、9、10、11、12または13のいずれかに記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置の中でも特にモーターやリレーなどのパワー制御素子として広く活用されているLDMOS (Lateral Diffusion MOS) トランジスタの構造とその製造方法に関わるものである。

【背景技術】

【0002】

従来LDMOS デバイスは、横方向に拡散層を形成することにより、他の半導体素子とオンチップ化できる電力制御用集積回路素子として広く利用されていた。図4に従来のNチャンネル型LDMOSの基本構造例を示す。

【0003】

P型シリコン基板1, LDMOSのドレイン層となるNウェル層2, Nチャンネル型MOSの基板となるPウェル層3, 素子を分離する為とドレインからゲートへの電界を緩和するための厚いLOCOS酸化膜4, ゲート酸化膜5, ゲート電極(ポリシリコン膜)6, ソースとドレイン電極を形成するためのN+拡散層7, Pウェル層の電極を取るためのP+層8, 配線層とトランジスタ領域を絶縁するための絶縁層(例えばCVDによるPSG層)9, メタル配線層10, 及び素子を保護するためのパッシベーション層11からなっている。

【0004】

素子の動作としては、ゲート電極6に所望の電圧を印加することで基板であるPウェル層3のゲート直下表面領域に電流チャンネル層が誘起され、その結果ドレイン領域であるNウェル層2からソース領域にドレイン、ソース間電流が流れることになる。

【0005】

しかし、近年電子機器の小型化、低消費電力化が進み、それに伴ってそれらに使用される半導体素子の微細化が急速に進んでいる。特に微細化が著しいのはシステムLSIを構成する通常のロジック用MOSLSIである。一方、比較的大きな電力を制御するパワー素子、例えば高耐圧デバイス(HV-CMOS)やLDMOSにおいても小型化の研究、開発の努力が続いている。

【0006】

特にLDMOSにおいては、他のデバイス(CMOSロジック回路、バイポーラ回路など)とオンチップ化するためには、その小型化が必須である。特許文献1, 2には、ゲート部、或いはゲートドレイン間にトレンチを設けることにより、セルピッチを短縮しながら高耐圧のLDMOSトランジスタを得る構造が示されている。

【0007】

さらに、特許文献3には基板との間に寄生バイポーラトランジスタを形成し、ドレインに逆電圧が印加された場合に電流経路が形成されることにより素子破壊を防ぐ構造が記載されている。さらに、特許文献4には垂直方向に電流経路が形成される縦型素子において、ゲートトレンチ底面角部に電界集中するのを防ぎ、リーク電流を防ぐ構造が記載されている。

【0008】

【特許文献1】特開平6-97450号公報

【特許文献2】特開平7-74352号公報

【特許文献3】特開平9-139438号公報

【特許文献4】特開平10-294463号公報

【特許文献5】特開2002-237591号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら電力制御用半導体素子においては、その電力制御において未だ大面積構造が必要であり、そのことがLSIチップ小型化の最大の阻害要因になっていた。そのため、従来のLDMOS構造においては、電力制御システムの小型化への限界があった。

【0010】

そこで、本発明はこのような問題に鑑みてなされたもので、他の素子とオンチップ化できる構造であり、素子面積が小さいにもかかわらず大電流を制御でき、オン抵抗が小さく高耐圧を可能にする、新規かつ改良された半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明のある観点によれば、第1導電型基板に形成された第2導電型層と、第2導電型層内に形成された第1導電型層と、第1導電型層内の第2導電型を有する第1の高濃度領域内のトレンチ孔に形成されたソース電極と、第2導電型層内の第2導電型を有する第2の高濃度領域内のトレンチ孔に形成されたドレイン電極と、第1導電型層内であって、ソース電極とドレイン電極との間で第1導電型層の端部に位置し、第1の高濃度領域に側壁が接触する少なくとも1つのトレンチ孔に、トレンチ孔の内面を覆う酸化膜を介して形成されたゲート電極と、を備える半導体装置が提供される。

【0012】

本構造の半導体装置であるLDMOSにおいては、電流がトレンチ孔に形成したゲート電極に沿って基板内部を流動することから、トレンチ孔の外側面に、トレンチ孔の深さに相当するチャンネルを確保できる。しかも、トレンチ孔の深さでソースドレイン間電流が決定することから、従来のLDMOSトランジスタのような平面的なゲート長やゲート幅を考慮することなく、素子面積を構成でき、大電流を制御可能にした。また、ソース電極やドレイン電極もトレンチ孔に形成したことにより、基板内の導電層を通る電流経路が短くなり、電流が電極に直接流れ込むので素子のオン抵抗をより低いものとすることができる。また、P型MOSまたはN型MOSのどちらにも適用が可能である。

【0013】

ここで、ゲート電極のトレンチ孔は、チャンネル幅方向に並んで複数配置されることが好ましい。ここでチャンネル幅方向とはドレイン電極からソース電極に電流の流れる方向と垂直な方向である。つまり複数のトレンチ孔各々の側面に電流の経路となるチャンネルがあるので、素子面積を増やすことなく、より大電流の制御が可能となる。またゲート電極のトレンチ孔は、略円柱形状にして、電界集中などの不具合を防ぐことが望ましい。

【0014】

またゲート電極のトレンチ孔の深さは、オン抵抗の低減のために第1の高濃度領域の深さと同等になっていることが望ましい。さらに第1導電型層の濃度は、ドレイン電極を形成する第2導電型層の濃度よりも高くすることにより、ドレイン側に空乏層を広げられるため、ショートチャンネル効果を防止し、ドレインの高耐圧化が可能である。

【0015】

本発明の構造は、第2導電型層下に絶縁酸化膜層が形成されているSOI基板にも適用することができる。この時、通常バルク基板では第2導電型層内に第2導電型層より薄く形成される第1導電型層の厚さを第2導電型層の厚さと同じ厚さにすることができる。SOI基板を用いることにより、寄生バイポーラトランジスタが発生せず、寄生容量を低減し、動作不具合を防止して高速動作や低消費電力化を達成でき、より良好な特性を得ることができる。

【0016】

また、上記半導体装置を得るために、第1導電型基板に第2導電型層を形成する工程と、第2導電型層内に第1導電型層を形成する工程と、第1導電型層内に一方が第2導電型層に隣接する第1導電型層の端部に位置する2つのトレンチ孔及び第2導電型層内に1つのトレンチ孔を形成する工程と、第1導電型層内に形成された2つのトレンチ孔のうち、第2導電型層寄りに形成されたトレンチ孔の内面に酸化膜を形成する工程と、各々のトレンチ孔の内面に酸化膜を形成する工程と、を備える半導体装置の製造方法が提供される。

ンチ孔にソース電極、ドレイン電極、及びゲート電極となる電極金属を埋め込む工程と、ソース電極の周囲に第2導電型を有する第1の高濃度領域をゲート電極のトレンチ孔の側壁に接触するように形成し、ドレイン電極の周囲に第2導電型を有する第2の高濃度領域を各々形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0017】

第1導電型層内にソーストレンチ孔とゲートトレンチ孔、第2導電型層内にドレイントレンチ孔を形成することにより、本発明のLDMOS半導体装置を得ることができる。また、ゲート電極のトレンチ孔の側壁とドレイン電極のトレンチ孔を包囲する前記第2高濃度領域との距離によってドレイン耐圧が変化するので、所望のドレイン耐圧となるように距離を決めることができる。

【0018】

また、ソース電極のトレンチ孔の周囲に形成されている高濃度領域は、ゲート電極のトレンチ孔の側壁に接触していることが望ましいが、製造する上でコンマ数 μm 程度の間隔があっても動作上は問題ない。

【発明の効果】

【0019】

以上詳述したように本発明によれば、基板内部に形成したソーストレンチ孔、ゲートトレンチ孔、ドレイントレンチ孔を使って、電流経路を基板の内部に設けて動作をさせることから、ゲートトレンチ孔の深さ距離でドレインソース間電流を制御でき、平面での素子面積を大幅に削減できる。つまりLDMOSの小型化ができ、結果として電力制御用半導体素子の小型化、すなわちシステムの小型化に寄与できる。

【発明を実施するための最良の形態】

【0020】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0021】

(第1の実施の形態)

図1(a)は、本実施の形態による半導体装置であるトレンチ型LDMOSの断面図である。本実施の形態ではN型MOSを例に挙げる。第1導電型基板であるP型半導体基板101に形成した第2導電型層であるNウェル層102と、Nウェル層102内に形成した第1導電型層であるPウェル層103と、Pウェル層103内のソーストレンチ孔105a及びゲートトレンチ孔105bに各々形成されたソース電極107aと、ゲート電極107bと、Nウェル層102内のドレイントレンチ孔105cに形成されたドレイン電極107cと、から構成されている。

【0022】

また、ソース電極及びドレイン電極の形成のために、ソーストレンチ孔105aの周囲には第2導電型の第1の高濃度領域であるN+拡散層108aとドレイントレンチ孔105cの周囲には第2導電型の第2の高濃度領域であるN+拡散層108cが形成されている。さらに、ゲートトレンチ孔105bには、内面にゲート酸化膜となる酸化膜106が形成されており、その酸化膜106上にゲート電極107bが形成されている。

【0023】

また、Pウェル層103の電位を取り出すことのできるように、Pウェル層103内に第1導電型高濃度領域であるP+拡散層109が形成されていてもよい。そのほか、P型半導体基板101表面には隣接する素子間を分離するフィールド酸化膜104が形成されている。P+拡散層109や各電極は、中間絶縁層110に形成されたコンタクト孔111を介して、メタル配線層112と接続される。

【0024】

メタル配線112と下地の素子領域を絶縁するための中間絶縁層110は、例えばCVD法によるPSG膜を用いて形成される。メタル配線層112上にはさらに、パッシベー

ション層 113 が形成される。

【0025】

図 1 (b) は、本実施の形態による半導体装置であるトレンチ型 LDMOS の平面図を示す。ここでは 3 つのトレンチ孔で構成されているが、1 箇所のゲートトレンチ孔で制御される電流の流れ 120 を矢印で示している。

【0026】

この半導体装置の特徴として、ゲートトレンチ孔 1 箇所に付き、トレンチ孔側壁の 2 箇所で電流が流れる、つまり制御されることにある。すなわち、電流の流通チャネルが 2 箇所できることから、1 つのゲートトレンチ孔につき、ゲートトレンチ孔深さの約倍のチャネル幅（従来の MOS トランジスタのゲート幅に相当）で電流制御をしていることになる。

【0027】

本実施の形態においては、ゲートトレンチ孔 105 b をチャネル幅方向に一列に並べて 3 箇所形成している。1 つのゲートトレンチ孔につき、トレンチ側壁の 2 箇所で電流が流れるので、トレンチ孔が 3 つであると 6 箇所のトレンチ側壁に電流が流れることになる。つまりトレンチ孔の数は多いほど大電流制御が可能となり、素子の面積を増加することなく大電流チャネルを形成でき、かつオン抵抗を低減することができる。

【0028】

しかし、勿論、隣り合うトレンチ孔の側壁に形成されるチャネル同士が接触しないようにトレンチ孔間隔を設定する必要があるので、電極幅や電流値等の設計値を考慮した上でトレンチ孔の数を設定する。

【0029】

また、ソースやドレインをソーストレンチ孔 105 a 及びドレイントレンチ孔 105 c にし、ほぼ同等の深さにしたことにより、ゲートトレンチ孔の側壁領域を流れる電流が、基板中の導電層を長い距離を通らずに直接電極に達するので、オン抵抗を低減することができる。また、ソーストレンチ孔 105 a 及びドレイントレンチ孔 105 c は略方形のトレンチとし、複数のゲートトレンチ孔の側壁を流れる電流を効率的に流すことができる。

【0030】

また、ゲートトレンチ孔 105 b は円柱状に開口してある。円柱状にすることにより、電解集中を防ぎ、ゲート絶縁膜の信頼性（耐圧など）を向上することができる。さらに、ゲートトレンチ孔 105 b が N ウェル層 102 にまたがっても動作上は問題ないが、ゲートトレンチ孔 105 b が P ウェル層 103 内と N ウェル層 102 との境界位置から所定の距離以上離れて P ウェル層 103 内部に形成されるとトランジスタとして動作しないので、ゲートトレンチ孔 105 b は、P ウェル層 103 内の端部、つまり N ウェル層 102 に隣接して位置していることが好ましい。

【0031】

ソーストレンチ孔を包囲する N+ 拡散層 108 a は、ゲートトレンチ孔 105 b の側壁に接触していることが望ましい。P ウェル層 103 の濃度等にもよるが、N+ 拡散層 108 a とゲートトレンチ孔 105 b が離れてしまうとチャネルが形成されず、動作しない場合がある。また、ゲートトレンチ孔 105 b の外側面の全面にチャネルが形成され、オン抵抗が低減されて良好な特性を得るためには、ソーストレンチ孔 105 a の深さをゲートトレンチ孔 105 b の深さよりやや浅く形成し、N+ 拡散層 108 c の深さがゲートトレンチ孔 105 b の深さと等しくすることが望ましい。

【0032】

P ウェル層 103 及び N ウェル層 102 の濃度だけでなく、ゲートトレンチ孔 105 b の側壁とドレイントレンチ孔 105 c を包囲する N+ 拡散層 108 c との距離も素子のドレイン耐圧に関係するので、所望のドレイン耐圧を得られるようにドレイントレンチ孔 105 c と N+ 拡散層 108 c との距離を設定する必要がある。また、P ウェル層 103 の濃度は、N ウェル層 102 の濃度よりも高く設定して、N ウェル層 102 側（ドレイン側）に空乏層を伸ばすことにより、ドレイン耐圧をより高くすることができる。

【0033】

こうして、本実施の形態においては、LDMOSを流れる電流が基板内部をゲートトレンチ孔に形成したゲート電極に沿って流動し、トレンチ深さ方向の距離でソースドレイン間電流が決定することから、平面的なゲート幅を考慮することなく、コンタクト径や配線幅等のみの設計ルールで素子面積を構成でき、しかも大電流の制御を可能にすることができる。

【0034】

(第2の実施の形態)

次に第1の実施の形態で示したNチャネルトレンチ型LDMOSの製造方法について、図2(a)～図2(f)を用いて説明する。まず、P型半導体基板101を用意する。基板はシリコン基板とすることができ、例えばボロンをドーピングして、シート抵抗が10～50オームセンチメートル程度の抵抗値となるように形成する。

【0035】

次に、P型半導体基板101の所望の領域を既知のホトリソグラフィを用いてパターンニングし、その後イオン注入技術と不純物拡散技術でNウェル層102を形成する。Nウェル層102の厚さは、 $5\mu\text{m}$ ～ $10\mu\text{m}$ 程度である。またNウェル層102の濃度はLDMOSの耐圧を左右するため、仕様電圧を考慮して設定する。通常 $1\sim 5\text{E}16\text{cm}^{-3}$ 程度の濃度である。

【0036】

次に、半導体表面全体にシリコン酸化膜201を形成する。シリコン酸化膜201上にホトレジスト202を所望の厚さで形成する。露光、現像処理により不要なホトレジスト領域を開口した後、シリコン酸化膜201をエッチングし、さらにこの酸化膜とホトレジスト202とをマスクとして、例えばボロンイオン203をイオン注入する。この時、シリコン酸化膜201とホトレジスト202の膜厚は、このボロンイオン203がホトレジスト202とシリコン酸化膜201とを貫通してP型半導体基板101に達しないような厚さとなるように設定する。

【0037】

また、ボロンイオン注入は本実施の形態においては打ち込みエネルギーを3段階に分け、それぞれが基板内の異なる深さまで到達するように注入する。これは基板内での所望の深さまでPウェル層の不純物濃度分布を均一にするためである。従って、打ち込みエネルギーは特に3段階とは限らず、均一性を保つように任意の回数で設定する必要がある。3段階のイオン打ち込みエネルギーとしては、例えば300KeV、800KeV、2MeVなどが挙げられる。図2(a)に3段階でイオン注入された基板内のボロンの分布204を示す。

【0038】

その後、ホトレジスト202を除去し、 1200°C 近辺の高温の熱処理(アニール)を経ることにより、3段階で注入されたボロンは基板内ではほぼ均一の深さ分布になる。このボロンの拡散層がPウェル層103となる。Pウェル層103はNウェル層102内に留まるようにNウェル層102より浅く設定される。(図2(b))。

【0039】

Pウェル層103の厚さは $2\sim 5\mu\text{m}$ 程度であり、濃度は $1\text{E}17\sim 1\text{E}18\text{cm}^{-3}$ 程度が適当である。こうして、P型半導体基板101上にNウェル層102が形成され、Nウェル層102内にPウェル層103が形成される。

【0040】

次に、シリコン酸化膜201を除去した後、再度、シリコン酸化膜104を数千オングストロームの厚さで全面に形成する。この熱酸化膜104は素子分離にも使用できるものであり、隣接する素子間等に形成される寄生チャネルの発生を防止できる膜厚の設定が望ましい。

【0041】

さらに万全を期して、寄生素子領域にはシリコン酸化膜104にさらにチャネルストッ

プ用の不純物導入も考えられる。この場合はボロンを不純物とする。これらは同業者間では良く知られた技術であり、必要に応じて種々の工程追加、変更ができる。また、素子分離方法としては、LOCOS法、STI (Shallow Trench Isolation) 法、などを用いることができる。

【0042】

さらにホトリソグラフィ工程、酸化膜エッチング工程、シリコンエッチング工程を順次経て、ソース領域、ゲート領域、ドレイン領域それぞれにソーストレンチ孔105a、ソーストレンチ孔105b、ソーストレンチ孔105cを所望の深さで形成する。

【0043】

ソーストレンチ孔105a及びゲートトレンチ孔105bのトレンチ孔はPウェル層103内に形成する。ゲートトレンチ孔105bは、第1の実施の形態でも述べたようにPウェル層103の端部に形成されることが望ましい。トレンチ孔の深さはPウェル層103を突き抜けない深さであり、約1~3 μ mの深さとすることができる。またドレイントレンチ孔105cは、Nウェル層102内に形成する(図2(c))。

【0044】

また、ドレイントレンチ孔105cとPウェル層103との距離を任意に設定することで、ドレイン耐圧を種々設定可能となる。通常のドレイン耐圧の仕様は、およそ10V~1000Vと非常に幅広いものとなる。特にNチャネル型LDMOSの耐圧を高くする場合にはNウェル層102側(ドレイン側)に空乏層を伸ばし、チャネルパンチスルーを防ぐ必要がある。従って、Pウェル層103不純物濃度>Nウェル層102不純物濃度の関係に設定することが望ましい。

【0045】

また本実施の形態では、ソーストレンチ孔は1つの長方形の平面形状で開口し、ゲートトレンチ孔は、電極幅方向に並んだ3箇所に円形のトレンチで開口している。電解集中を防ぎ、耐圧などのゲート絶縁膜の信頼性を向上するためには、ゲートトレンチ孔を略円柱状にすることが望ましい。ゲートトレンチ孔を複数個形成することについては、第1の実施の形態に述べた理由による。

【0046】

次に、熱酸化を用いてゲート酸化膜となる酸化膜106を数10~数100オングストロームの厚さで形成する。さらにホトリソグラフィとエッチングにより、ゲートトレンチ孔内のみに、ゲート酸化膜106を選択的に残存させ、他の領域は除去する。次にCVD法を用いて、1~5E20cm⁻³程度の濃度のリンまたはヒ素などの不純物がドーパされ低抵抗化したポリシリコン膜を各トレンチ孔を完全に埋め込むように全面に数千オングストロームの厚さで形成する。

【0047】

このとき各電極の材料としてはポリシリコン以外に、電極を低抵抗化する目的で不純物ドーパしたポリシリコンと高融点金属(例えばTi, Co, Wなど)との積層膜であるポリサイドであってもよい。

【0048】

次に、CMP (Chemical Mechanical Polishing)、あるいはエッチバック法によりソース、ゲート、ドレイン孔以外のポリシリコン膜を除去する。こうして、ソース電極107a、ゲート電極107b、ドレイン電極107cを形成する(図2(d))。

【0049】

さらに、適当な熱拡散処理により、例えばポリシリコン膜の不純物を周囲に拡散させるような方法で、ソーストレンチ孔105a周囲にN+拡散層108aを、ドレイントレンチ孔105c周囲にN+拡散層108cを形成する(図2(e))。このときに、ソーストレンチ孔のN+拡散層108aの一部がゲートトレンチ孔105bの側壁の一部に接触するように設計することが望ましい。しかし、コンマ数ミクロン単位での若干の間隙が生じてトランジスタ動作的には問題とはならない。このN+拡散層108a、108cの

深さ(拡散広がり)としては、通常 $0.2 \sim 1 \mu\text{m}$ 程度の設定が考えられる。

【0050】

次に、中間絶縁膜110となるCVD膜(例えば、PSGあるいはBPSG膜)を数千オングストロームの厚さでデポジションする。さらに、ソース電極107a、ゲート電極107b、及びドレイン電極107cと配線接続するために、コンタクト孔111を形成し、メタル配線層112(例えばアルミニウム膜)を形成する。

【0051】

また、第1の実施の形態でも述べたように、Pウェル層103の電位を取り出すことのできるように、Pウェル層103内にP+拡散層109が形成されていてもよい。その場合には、コンタクト孔111を形成したP+拡散層109上にもメタル配線層112を形成する。その後、素子保護を行うため、パッシベーション層113を形成する(図2(f))。

【0052】

(第3の実施の形態)

図3は、第3の実施の形態による半導体装置である、トレンチ型LDMOSの断面図である。第1の実施の形態と比べ、第2導電型層の下に絶縁酸化膜層が形成されている点の特徴となっている。つまり、第1の実施の形態における基板としてSOI(Silicon On Insulator)基板を使用したものである。

【0053】

まず、第1導電型基板である、ボロンドープしたP型半導体基板301を支持基板として、絶縁酸化膜層としてシリコン酸化膜302が形成され、さらにその上にシリコン層の形成されたSOI基板を準備する。このSOI基板は良く知られているように、張り合わせ法を用いたもの、あるいは酸素イオン注入によるドーピング法を用いたものの等いずれでも良い。

【0054】

本実施の形態のSOI基板の場合、Nウェル層102より浅くPウェル層103を形成する必要はなく、Nウェル層102及びPウェル層103の厚さは同じにシリコン酸化膜302上に形成することができる。他の構造は第1の実施の形態と同じであり、その製造方法もSOI基板を使用する以外は第2の実施の形態とほぼ同様であるので説明を省略する。

【0055】

このようなSOI構造にすることで、特許文献5に記載されている寄生バイポーラ素子(例えば、図1のP型半導体基板101、Nウェル層102、及びPウェル層103で形成されるトランジスタ)が動作してしまう問題を防止することができる。さらにはSOI構造にすることで、ドレイン電極の寄生容量を低減して高速動作、低消費電流を達成させることも可能である。

【0056】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0057】

本実施の形態においては、Nチャネル型のLDMOSについて説明したが、記載のN型、P型をすべて逆にすることにより、Pチャネル型LDMOSについても同様に適用が可能である。

【産業上の利用可能性】

【0058】

本発明は、半導体装置の中でもLDMOSトランジスタの構造とその製造方法に適用可能であり、特に素子面積を削減しながら、大電流の制御が可能なLDMOSトランジスタに適用可能である。

【図面の簡単な説明】

【0059】

【図1(a)】第1の実施形態におけるLDMOSの構造を示す断面図である。

【図1(b)】第1の実施形態におけるLDMOSの構造を示す平面図である。

【図2(a)】第2の実施の形態におけるLDMOSの製造方法を示す工程断面図であり、Pウェル層を形成するために、3段階にイオン注入を行った後の図である。

【図2(b)】第2の実施の形態におけるLDMOSの製造方法を示す工程断面図であり、熱処理によりPウェル層を形成した後の図である。

【図2(c)】第2の実施の形態におけるLDMOSの製造方法を示す工程断面図であり、各トレンチ孔を形成した後の図である。

【図2(d)】第2の実施の形態におけるLDMOSの製造方法を示す工程断面図であり、各トレンチ孔をポリシリコンで埋め込んだ後の図である。

【図2(e)】第2の実施の形態におけるLDMOSの製造方法を示す工程断面図であり、N+拡散層を形成した後の図である。

【図2(f)】第2の実施の形態におけるLDMOSの製造方法を示す工程断面図であり、メタル配線層、パッシベーション層を形成した後の図である。

【図3】第3の実施形態におけるSOI基板上のLDMOSの構造を示す断面図である。

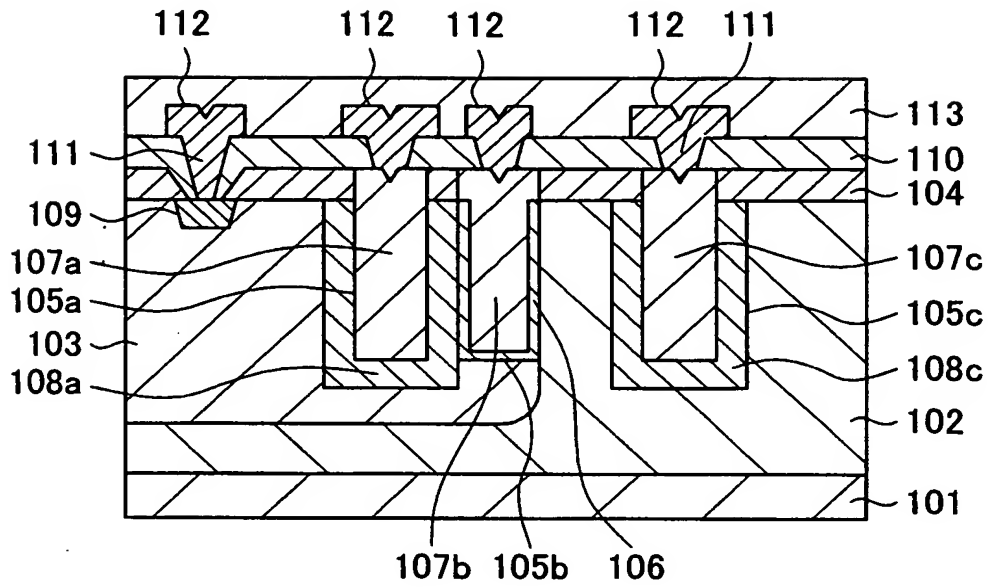
【図4】従来のLDMOSの構造を示す断面図である。

【符号の説明】

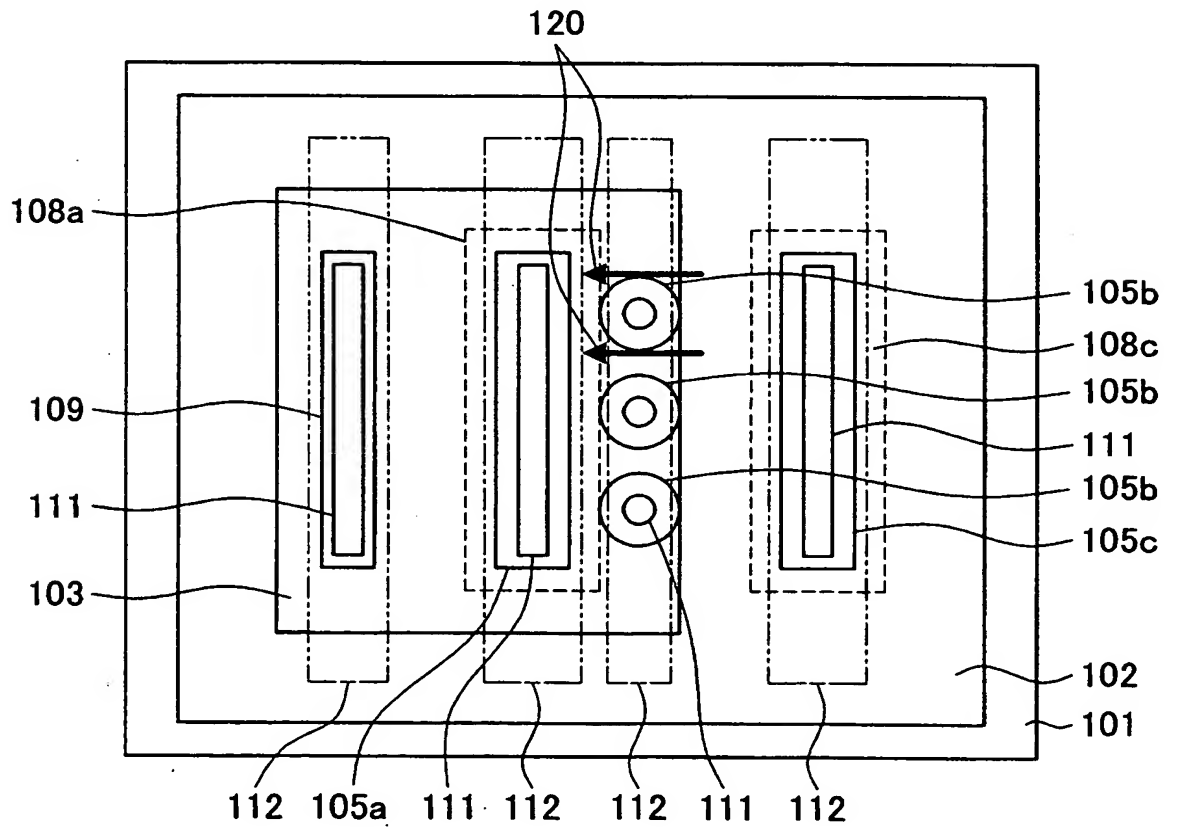
【0060】

101	P型半導体基板
102	Nウェル層
103	Pウェル層
104	シリコン酸化膜
105a	ソーストレンチ孔
105b	ゲートトレンチ孔
105c	ドレイントレンチ孔
106	酸化膜
107a	ソース電極
107b	ゲート電極
107c	ドレイン電極
108a	N+拡散層
108c	N+拡散層
109	P+拡散層
110	中間絶縁層
111	コンタクト孔
112	メタル配線層
113	パッシベーション層
120	電流の流れ

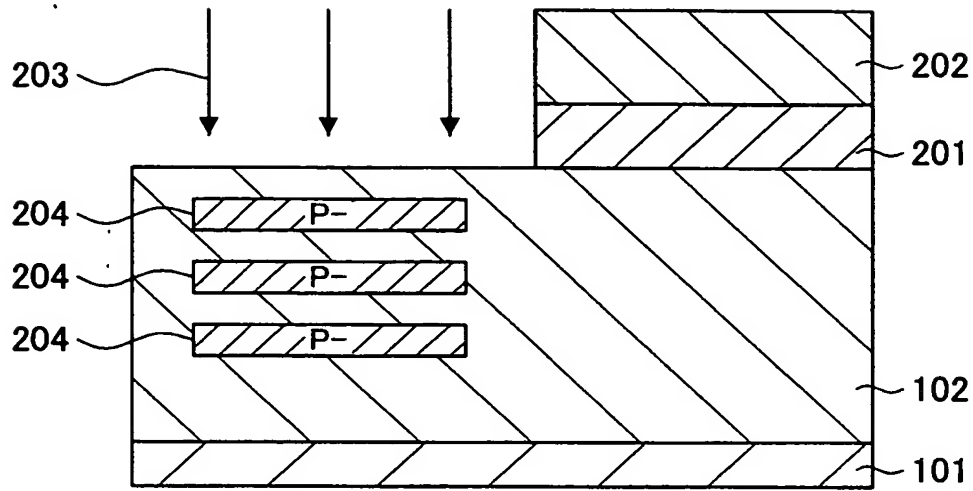
【書類名】図面
【図 1 (a)】



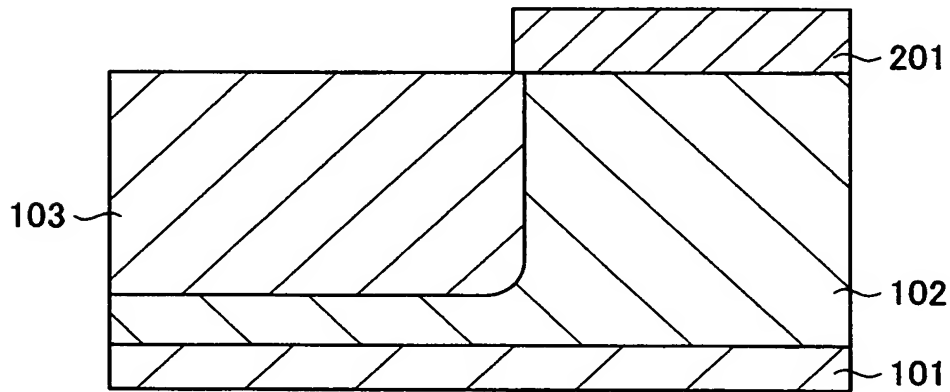
【図 1 (b)】



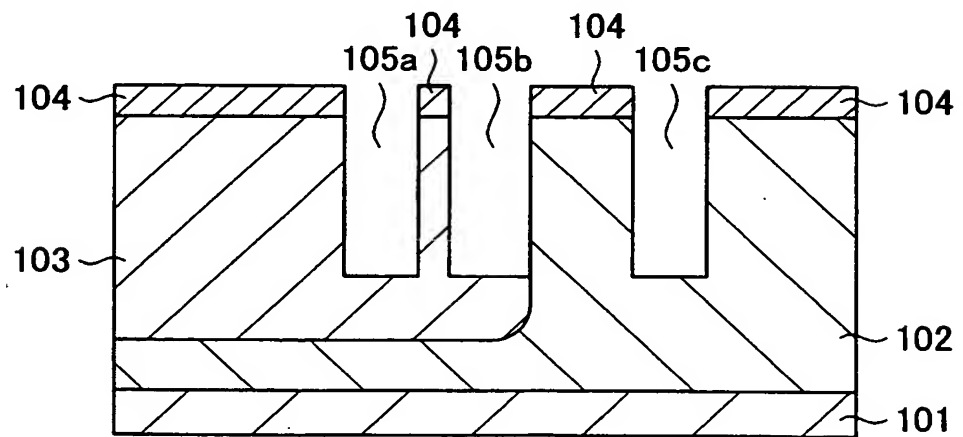
【図 2 (a)】



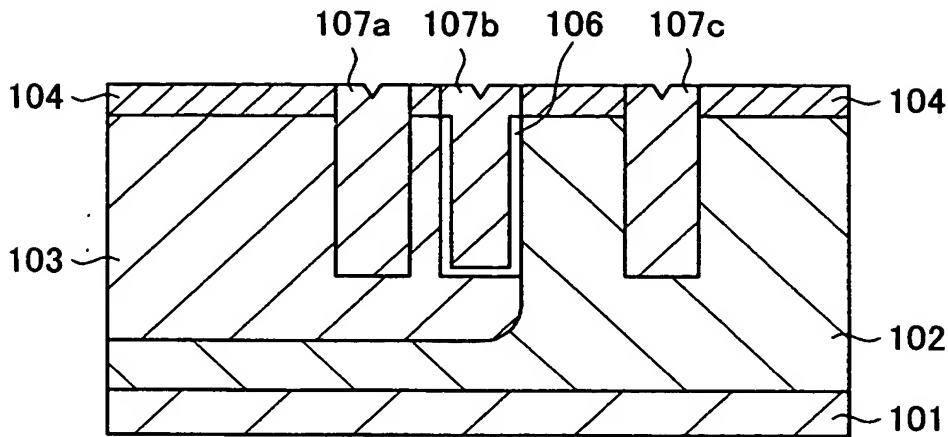
【図 2 (b)】



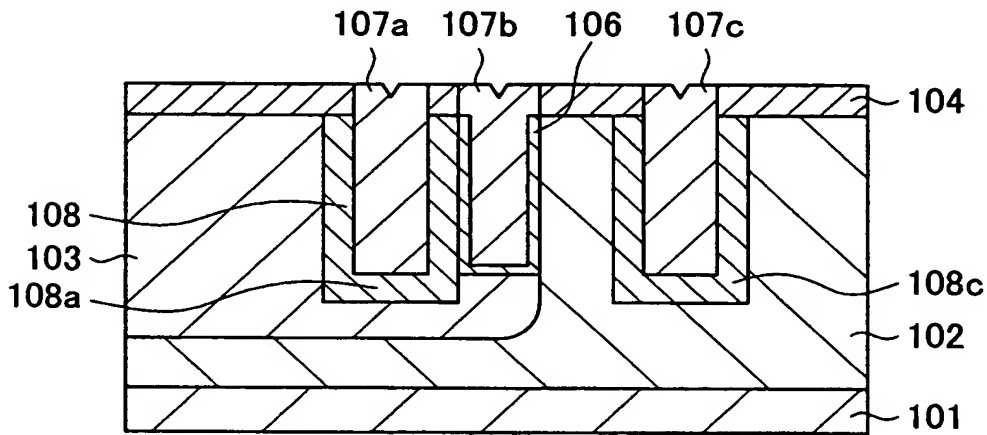
【図 2 (c)】



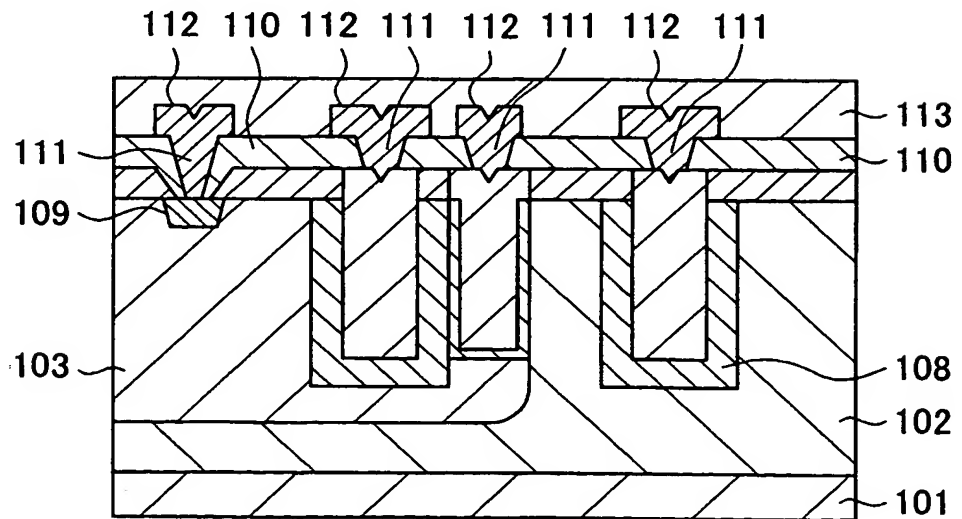
【図 2 (d)】



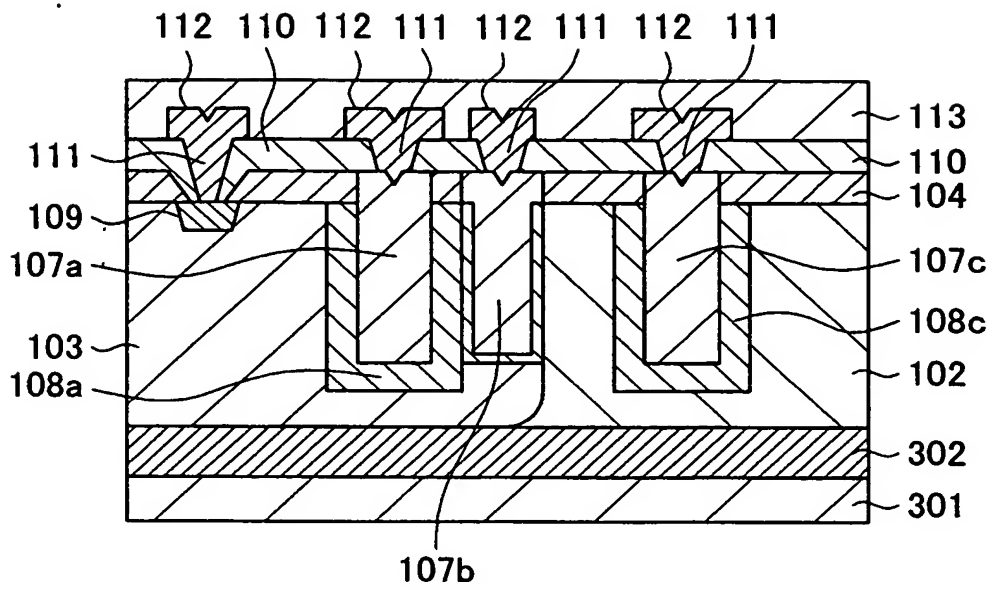
【図 2 (e)】



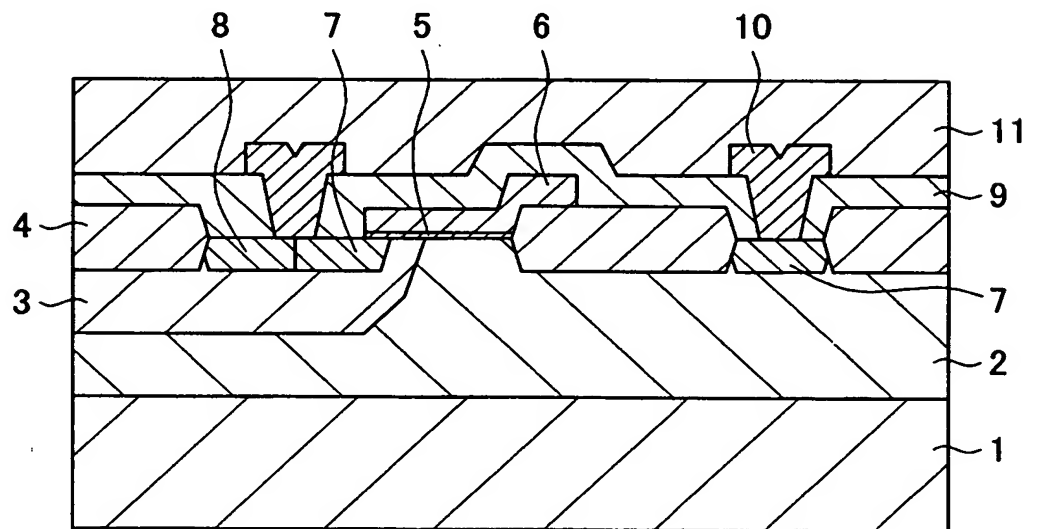
【図 2 (f)】



【圖 3】



【圖 4】



【書類名】要約書

【要約】

【課題】 他の素子とオンチップ化できる構造であり、素子面積が小さいにもかかわらず大電流を制御でき、オン抵抗が小さく高耐圧を可能にする半導体装置及びその製造方法を提供する。

【解決手段】 N型のLDMOSの場合には、P型半導体基板101に形成したNウェル層102と、Nウェル層102内に形成したPウェル層103と、Pウェル層103内のソーストレンチ孔105aに形成されたソース電極107aと、Pウェル層103内の少なくとも1つのゲートトレンチ孔105bに酸化膜106を介して形成されたゲート電極107bと、Nウェル層102内のドレイントレンチ孔105cに形成されたドレイン電極107cと、から構成され、さらにソーストレンチ孔105a及びドレイントレンチ孔105cの周囲にはN+拡散層108a及び108cが形成されている。

【選択図】 図1(a)

特願 2 0 0 3 - 3 7 0 2 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社